

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORS PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181571

(43) 公開日 平成8年(1996)7月12日

(51) Int. Cl.⁶

H 0 3 H 11/48
11/46

識別記号

庁内整理番号

F I

技術表示箇所

A 8731-5 J
B 8731-5 J

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号

特願平6-325396

(22) 出願日

平成6年(1994)12月27日

(71) 出願人 000004226

日本電信電話株式会社
東京都新宿区西新宿三丁目19番2号

(72) 発明者 林 等

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72) 発明者 中津川 征士

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72) 発明者 村口 正弘

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(74) 代理人 弁理士 古谷 史旺

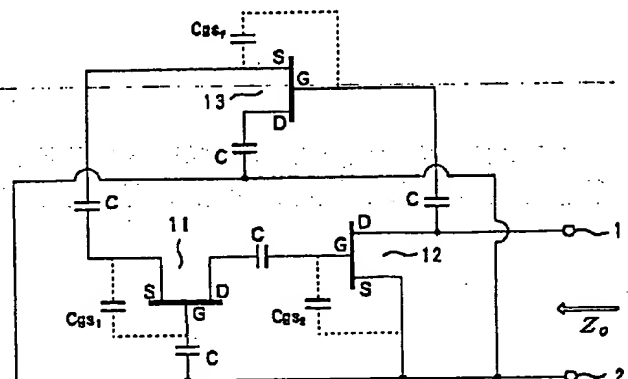
(54) 【発明の名称】 能動インダクタ

(57) 【要約】

【目的】 マイクロ波帯以上の高周波帯においてもインダクタンス値が大きく、無損失でかつ小型化が可能な能動インダクタを実現する。

【構成】 ゲート接地の第1のFETと、ゲート電極が第1のFETのドレイン電極に接続されたソース接地の第2のFETと、ソース電極が第1のFETのソース電極に接続され、ゲート電極が第2のFETのドレイン電極に接続されたドレイン接地の第3のFETとを備え、第2のFETのドレイン電極とソース電極とをインダクタの2端子とする。

本発明の能動インダクタの第1実施例



のFET回路は、端子1, 2からFET32側をみたインピーダンス Z_0 が誘導性を示すので能動インダクタとして用いることができる。なお、本構成では、マイクロ波帯でインピーダンス Z_0 がインダクタンス成分と負性抵抗分のみで与えられる。したがって、端子1, 2間に負性抵抗分を打ち消す抵抗42を接続することにより、インピーダンス Z_0 はインダクタンス成分のみとなり、無損失な能動インダクタとして動作する。

【0007】

【発明が解決しようとする課題】ところで、従来の能動インダクタの回路構成では、マイクロ波帯、特にFET

$$Z_0 = \frac{1 + j\omega C_{gs1} R}{\frac{1}{1 + (\frac{f}{f_T})^2} [g_{m1} + j\omega C_{gs1} (\frac{f}{f_T})^2]} \quad \dots(1)$$

【0010】で与えられる。ここで、FETの遮断周波数 f_T は、

$$f_T = g_{m1} / (2\pi C_{gs1}) = g_{m1} / (2\pi C_{gs2})$$

とする。同一ウェハ内では、このような遮断周波数 f_T が等しい特性を有するFETを容易に構成することができる。等価回路は図11(a)に示すように、抵抗値 $1/g_{m1}$ の抵抗51とインダクタンス値 $C_{gs1}R/g_{m1}$ のインダクタ52の直列回路と、静電容量 $(f/f_T)^2 C_{gs1}$ のコンデンサ53が並列に接続された回路と概ね一致する。ただし、マイクロ波帯用の短ゲート長のFETを約 $f_T/3$ 以下の周波数帯で使用すると、 $(f/f_T)^2 = 1/9 \ll 1$ となり、(1)式の分母の虚数項を無視できるので、抵抗51とインダクタ52の直列回路となる。このように、端子1, 2からFET32側をみたインピーダンス Z_0 が誘導性を示すので、このFET回路は能動インダクタとして動作することがわかる。

【0011】しかし、第1の従来構成ではインダクタに直列に抵抗成分を有し、マイクロ波帯では相互コンダク

$$Z_0 = \frac{1}{\frac{g_{m1}}{1 + (\frac{f}{f_T})^2} \left[\frac{g_{m1}}{j\omega C_{gs1}} \left\{ 1 - (\frac{f}{f_T})^2 - (\frac{f}{f_T})^4 \right\} + (\frac{f}{f_T})^2 \right]} \quad \dots(2)$$

【0014】で与えられる。ここで、FETの遮断周波数 f_T は、

$$f_T = g_{m1} / (2\pi C_{gs1}) = g_{m2} / (2\pi C_{gs2}) = g_{m1} / (2\pi C_{gs1})$$

とする。等価回路は図12(a)に示すように、抵抗値 $1 / ((f/f_T)^2 g_{m1})$ の抵抗54とインダクタンス値 $C_{gs1} / (g_{m1} g_{m1})$ のインダクタ55の並列回路と概ね一致する。ただし、マイクロ波帯用の短ゲート長のFETを約 $f_T/3$ 以下の周波数帯で使用すると、 $(f/f_T)^2 = 1/9 \ll 1$

となり、(2)式の分母の実数項を無視できるので、イン

の性能が劣化し始める遮断周波数 f_T の $1/2$ 以上の良好な動作が実現できない問題点があった。以下、各従来構成において、抵抗42がない場合の端子1, 2からFET32側をみたインピーダンス Z_0 を求める。

【0008】まず、図8に示す第1の従来構成では、回路解析を簡単にするために、FET31, 32が電氣的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量 C_{gs1} , C_{gs2} と、相互コンダクタンス g_{m1} , g_{m2} のみで表すとすれば、インピーダンス Z_0 は、

【0009】

【数1】

タンス g_m はそれほど大きくないために損失が大きくなる。したがって、図11(b)に示すインピーダンス Z_0 の周波数特性のように、この能動インダクタをマイクロ波帯以上の高い周波数帯で良好に動作させることが困難であった。なお、周波数特性の計算では、使用する各FETのゲート幅を $100\mu m$ (相互コンダクタンス $g_m = 20mS$ 、空乏層容量 $C_{gs} = 0.16pF$ 、遮断周波数 $f_T = g_m / (2\pi C_{gs}) = 20GHz$)とした。抵抗41の抵抗値 R は 50Ω とした。以下に示す他の従来構成の周波数特性の計算においても同様である。

【0012】次に、図9に示す第2の従来構成では、回路解析を簡単にするために、FET31, 32, 33が電氣的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量 C_{gs1} , C_{gs2} , C_{gs3} と、相互コンダクタンス g_{m1} , g_{m2} , g_{m3} のみで表すとすれば、インピーダンス Z_0 は、

【0013】

【数2】

ダクタンス成分のみとなる。したがって、このFET回路は無損失となり、図8に示す第1の従来構成に比べて高周波特性が改善される。

【0015】しかし、 $10GHz (= f_T/2)$ 以上で使用する、(2)式の分母の実数項

$$(f/f_T)^2 g_{m1} / (1 + (f/f_T)^2)$$

の影響を無視できず損失が発生する。したがって、図12(b)に示す周波数特性のように、この能動インダクタをマイクロ波帯以上の高い周波数帯で無損失で動作させることが困難であった。

【0016】次に、図10に示す第3の従来構成では、

Sをインダクタの端子1, 2とする。図中のCは直流電圧阻止用のコンデンサである。

【0029】本構成において、端子1, 2からFET 12側をみたインピーダンス Z_0 を求める。ここで、回路解析を簡単にするために、FET 11, 12, 13が電氣的に同じ特性を有し、ゲート直下のゲート・ソース間

$$Z_0 = \frac{1}{1 - \left(\frac{f}{f_T}\right)^2} \frac{g_{m1}^2}{(k+1) j \omega C_{gs1}} \quad \dots(4)$$

【0031】で与えられる。なお、FET 11とFET 13のゲート幅の比を $k:1$ とし、FETの遮断周波数 f_T を

$$f_T = g_{m1}/(2\pi C_{gs1}) = g_{m2}/(2\pi C_{gs2}) = g_{m1}/(2\pi C_{gs1})$$

とする。等価回路は図6(a)に示すように、インダクタンス値 $(k+1)C_{gs1}/g_{m1}^2$ のインダクタ21の回路と概ね一致し、周波数 f_T までインダクタンス成分のみとなる。したがって、無損失な能動インダクタとして動作する。

【0032】(4)式に示すインピーダンス Z_0 の周波数特性を図6(b)に示す。なお、使用する各FETのゲート幅は等しく($k=1$)、それぞれ $100\mu\text{m}$ (相互コンダクタンス $g_m=20\text{mS}$ 、空乏層容量 $C_{gs}=0.16\text{pF}$ 、遮断周波数 $f_T=g_m/(2\pi C_{gs})=20\text{GHz}$)とする。図11~図13に示す従来の能動インダクタの周波数特性と比較してわかるように、無損失でインダクタンス値の減少しない周波数特性が得られることがわかる。したがって、本実施例の能動インダクタは、 $f_T/2$ 以上の周波数

$$Z_0 = \frac{1}{\left[1 - \left(\frac{f}{f_T}\right)^2\right]} \frac{g_{m1} g_{m2}}{j \omega C_{gs1}} \quad \dots(5)$$

【0036】で与えられる。なお、FETの遮断周波数 f_T を

$$f_T = g_{m1}/(2\pi C_{gs1}) = g_{m2}/(2\pi C_{gs2}) = g_{m1}/(2\pi C_{gs1})$$

とする。等価回路は図7(a)に示すように、インダクタンス値 $C_{gs1}/(g_{m1} g_{m2})$ のインダクタ22の回路と概ね一致し、周波数 f_T までインダクタンス成分のみとなる。したがって、無損失な能動インダクタとして動作する。

【0037】(5)式に示すインピーダンス Z_0 の周波数特性を図7(b)に示す。なお、使用する各FETのゲート幅は等しく、それぞれ $100\mu\text{m}$ (相互コンダクタンス $g_m=20\text{mS}$ 、空乏層容量 $C_{gs}=0.16\text{pF}$ 、遮断周波数 $f_T=g_m/(2\pi C_{gs})=20\text{GHz}$)とする。本実施例においても無損失でインダクタンス値の減少しない周波数特性が得られることがわかる。したがって、本実施例の能動

の空乏層容量 C_{gs1} , C_{gs2} , C_{gs1} と、相互コンダクタンス g_{m1} , g_{m2} , g_{m1} のみで表すとすれば、インピーダンス Z_0 は、

【0030】

【数4】

においても良好に動作する。

【0033】(第2実施例-請求項2に対応)図2は、本発明の能動インダクタの第2実施例の構成を示す。図において、ドレイン接地のFET 13のソース電極Sと、ゲート接地のFET 11のソース電極Sとを縦続に接続し、FET 11のドレイン電極DからFET 13のゲート電極Gに一方の帰還をかけるソース接地のFET 12を接続する。ここで、FET 11のドレイン電極Dとゲート電極Gをインダクタの端子1, 2とする。図中のCは直流電圧阻止用のコンデンサである。

【0034】本構成において、端子1, 2からFET 11側をみたインピーダンス Z_0 を求める。ここで、回路解析を簡単にするために、FET 13, 11, 12が電氣的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量 C_{gs1} , C_{gs2} , C_{gs1} と、相互コンダクタンス g_{m1} , g_{m2} , g_{m1} のみで表すとすれば、インピーダンス Z_0 は、

【0035】

【数5】

インダクタは、 $f_T/2$ 以上の周波数においても良好に動作する。

【0038】(第3実施例-請求項3に対応)図3は、本発明の能動インダクタの第3実施例の構成を示す。図において、ドレイン接地のFET 13のソース電極Sからゲート電極Gに対して、ソース接地のFET 12とゲート接地のFET 11をカスコード接続したもので一方の帰還をかける構成になっている。ここで、FET 13のソース電極Sとドレイン電極Dをインダクタの端子1, 2とする。図中のCは直流電圧阻止用のコンデンサである。

【0039】本構成において、端子1, 2からFET 13側をみたインピーダンス Z_0 を求める。ここで、回路解析を簡単にするために、FET 13, 12, 11が電氣的に同じ特性を有し、ゲート直下のゲート・ソース間の空乏層容量 C_{gs1} , C_{gs1} , C_{gs1} と、相互コンダク

を示す図。

【符号の説明】

1, 2 端子

11, 12, 13, 14 FET

21, 22 インダクタ

31, 32, 33, 34 FET

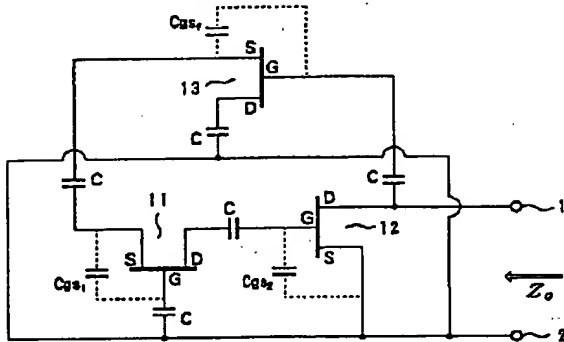
41, 42, 51, 54, 56 抵抗

52, 55 インダクタ

53 コンデンサ

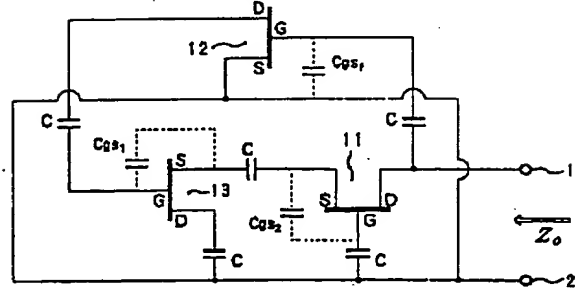
【図1】

本発明の能動インダクタの第1実施例



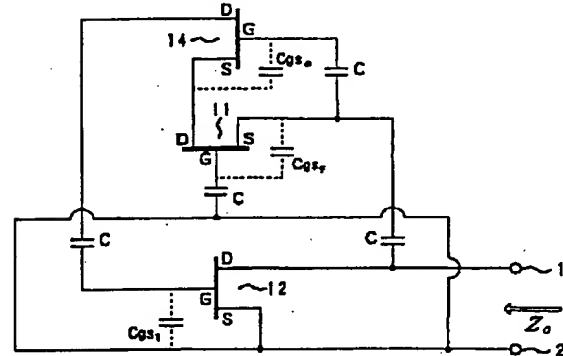
【図2】

本発明の能動インダクタの第2実施例



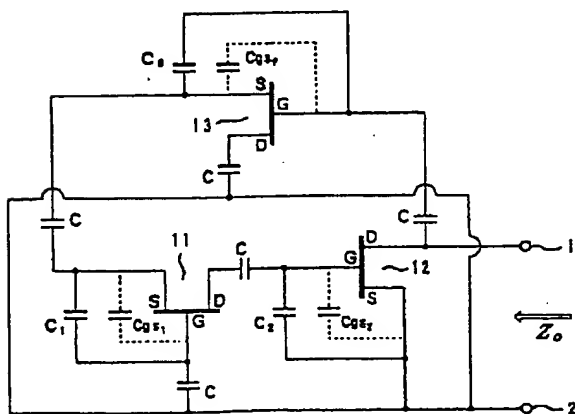
【図4】

本発明の能動インダクタの第4実施例



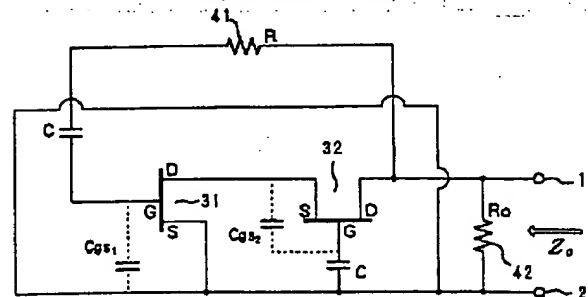
【図5】

本発明の能動インダクタの第5実施例



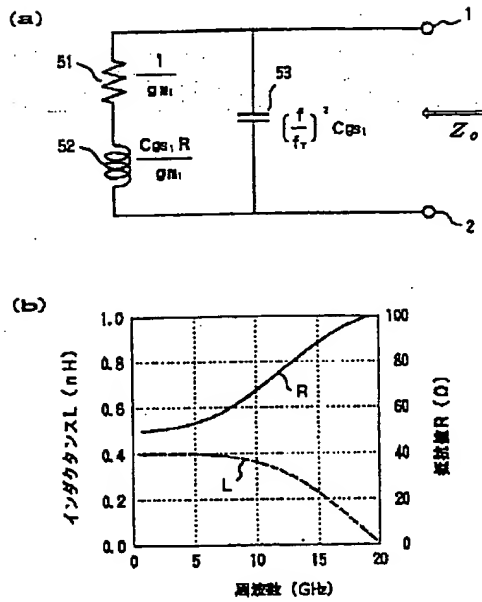
【図8】

能動インダクタの第1の従来構成



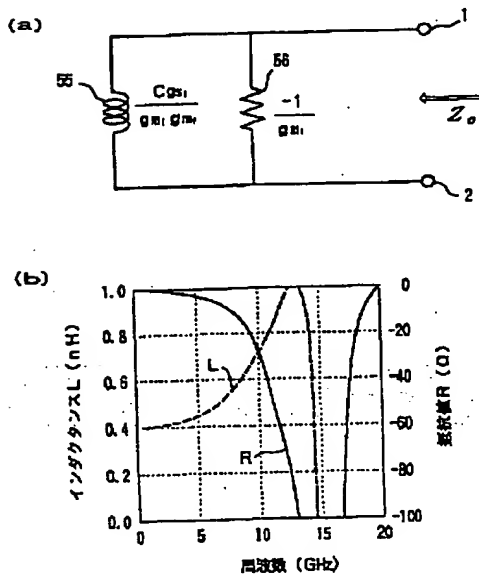
【図11】

第1の従来構成の等価回路および周波数特性



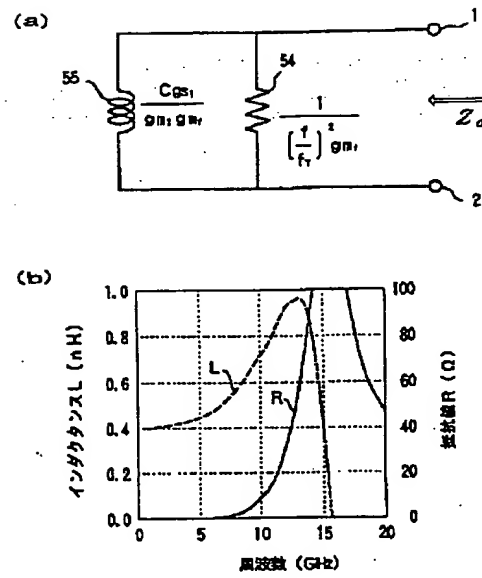
【図13】

第3の従来構成の等価回路および周波数特性



【図12】

第2の従来構成の等価回路および周波数特性



(5) Japanese Patent Application Laid-Open No. 8-181571:

“ACTIVE INDUCTOR”

The following is English translation of an extract of the above application.

5 Fig. 8 shows a first conventional structure of an active inductor (Japanese Patent Publication No. 5-24685).

 In the active inductor, a source-grounded FET 31 and a gate-grounded FET 32 are cascode-connected to each other, a resistor 41 having a resistance value R is connected between a gate electrode G of FET 31 and a drain electrode D of FET 32, and
10 the drain electrode D and a gate electrode G of FET 32 serve as terminals 1 and 2 of the inductor. Connected between the terminals 1 and 2 is a resistor 42 having a resistance value R_0 that serves to suppress an increase in the inductance value in high-frequency characteristics and to approximate the inductance value to a certain value in a wide range of frequencies. In the drawing, a capacitor for blocking dc voltage is represented by C .
15 Since impedance Z_0 viewed from the terminals 1 and 2 toward FET 32 is inductive, the FET circuit can be used as an active inductor.

 Fig. 9 shows a second conventional structure of an active inductor (Japanese Patent Laid-Open No. 2-205107). In the active inductor, a source-grounded FET 31 and a gate-grounded FET 32 are cascode-connected to each other, a gate-grounded FET 33 is
20 connected for providing one-way feedback from a drain electrode D of FET 32 to a gate electrode G of FET 31, and the drain electrode D and a gate electrode G serve as terminals 1 and 2 of the inductor. A similar resistor 42 is connected between the terminals 1 and 2. In the drawing, a capacitor for blocking dc voltage is represented by C . The impedance Z_0 is generally determined only by the inductance in microwave
25 bands having relatively low frequencies, which means a loss-less inductor is obtained, so

that the structure results in improved high-frequency characteristics than in the first conventional structure shown in Fig. 8.

Fig. 10 shows a third conventional structure of an active inductor (Japanese Patent Laid-Open No. 2-205107). A feedback circuit formed by gate-grounded FETs 33 and 34 which are cascode-connected to each other is provided instead of the feedback circuit formed by FET 33 in the second conventional structure shown in Fig. 9. Since impedance Z_0 viewed from the terminals 1 and 2 toward FET 32 is inductive, the FET circuit can be used as an active inductor. The impedance Z_0 is determined only by inductive and negative resistance components, so that the impedance Z has only inductive resistance component when a resistor 42 canceling the negative resistance component between the terminals 1 and 2. Therefore, a loss-less inductor is obtained.

Impedance Z_0 viewed from the terminals 1 and 2 toward FET 32 in the case where resistance 42 is not present will be obtained in each conventional structure.

First, in the first conventional structure shown in Fig. 8, suppose, for the simplicity of analysis, that the characteristics of FETs 31 and 32 are electrically identical, and that the impedance is determined only by the depletion layer capacitances C_{gs1} and C_{gs2} between the gate and source just beneath the gate and transconductances g_{m1} and g_{m2} , the impedance Z_0 is given as follows:

$$Z_0 = \frac{1 + j\omega C_{gs1} R}{\frac{1}{1 + \left(\frac{f}{f_T}\right)^2} \left[g_{m1} + j\omega C_{gs1} \left(\frac{f}{f_T}\right)^2 \right]} \quad \dots (1)$$

Here, the cut-off frequency f_T of FET is given as follows:

$$f_T = g_{m1}/(2 \pi C_{gs1}) = g_{m2}/(2 \pi C_{gs2})$$

In the same wafer, it is easy to construct such FETs in which cut-off frequencies f_T have the same characteristics. As shown in Fig. 11(a), an equivalent circuit is approximately

equivalent to a circuit in which a capacitor 53 having a capacitance of $(f/f_T)^2 C_{gs1}$ and a series circuit formed by a resistor 51 having a resistance value of $1/gm_1$ and a capacitor 52 having an inductance value of $C_{gs1}R/gm_1$ are connected in parallel to each other. When FET having a short gate length for microwave bands is used in frequency bands below $f_T/3$, an equation $(f/f_T)^2 = 1/9 \ll 1$ holds, so that the imaginary term of the common denominator of the expression (1) becomes negligible. Thus, the equivalent circuit becomes a series circuit of the resistor 51 and the inductor 52. In this way, the impedance Z_0 viewed from the terminals 1 and 2 toward FET 32 is inductive, which indicates that the FET circuit functions as an active inductor.

Next, in the second conventional structure shown in Fig. 9, suppose, for the simplicity of analysis, that the characteristics of FETs 31, 32 and 33 are electrically identical, and that the impedance is determined only by the depletion layer capacitances C_{gs1} , C_{gs2} and C_{gsf} between the gate and source just beneath the gate and transconductances gm_1 , gm_2 and gm_f , the impedance Z_0 is given as follows:

$$Z_0 = \frac{1}{\frac{gm_f}{1 + \left(\frac{f}{f_T}\right)^2} \left[\frac{gm_1}{j\omega C_{gs1}} \left[1 - \left(\frac{f}{f_T}\right)^2 - \left(\frac{f}{f_T}\right)^4 \right] + \left(\frac{f}{f_T}\right)^2 \right]} \quad \dots (2)$$

Here, the cut-off frequency f_T of FET is given as follows:

$$f_T = gm_1/(2\pi C_{gs1}) = gm_2/(2\pi C_{gs2}) = gm_f/(2\pi C_{gsf})$$

As shown in Fig. 12(a), an equivalent circuit is approximately equivalent to a parallel circuit of a resistor 54 having a resistance value of $1/((f/f_T)^2/gm_f)$ and an inductor 55 having an inductance value of $C_{gs1}/(gm_1 gm_f)$. However, when FET having a short gate length for microwave bands is used in frequency bands below $f_T/3$, an equation $(f/f_T)^2 = 1/9 \ll 1$ holds, so that the imaginary term of the common denominator of the expression (1) becomes negligible. Thus, the impedance Z_0 is determined only by the inductance.

Therefore, the FET circuit is loss-less, resulting in improved high-frequency characteristics than in the first conventional structure shown in Fig. 8.

Next, in the third conventional structure shown in Fig. 10, suppose, for the simplicity of analysis, that the characteristics of FETs 31, 32, 33 and 34 are electrically identical, and that the impedance is determined only by the depletion layer capacitances C_{gs1} , C_{gs2} , C_{gsf} and C_{gsa} between the gate and source just beneath the gate and transconductances gm_1 , gm_2 , gm_f and gm_a , the impedance Z_0 is given as follows:

$$Z_0 = \frac{1}{\frac{gm_f}{\left[1 + \left(\frac{f}{f_T}\right)^2\right]^2} \left[\frac{gm_1}{j\omega C_{gs1}} \left[1 - \left(\frac{f}{f_T}\right)^2 - \left(\frac{f}{f_T}\right)^4 - \left(\frac{f}{f_T}\right)^6 \right] - 1 + \left(\frac{f}{f_T}\right)^2 \right]} \quad \dots (3)$$

Here, the cut-off frequency f_T of FET is given as follows:

$$f_T = gm_1/(2 \pi C_{gs1}) = gm_2/(2 \pi C_{gs2}) = gm_f/(2 \pi C_{gsf}) = gm_a/(2 \pi C_{gsa})$$

As shown in Fig. 13(a), an equivalent circuit is approximately equivalent to a parallel circuit of a resistor 56 having a resistance value of $1/gm_f$ and an inductor 55 having an inductance value of $C_{gs1}/(gm_1 gm_f)$. Here, connecting a resistor 42 having a resistance value $R_0 = 1/gm_f$ between the terminals 1 and 2 cancels out the negative resistance component in the equation (3), and the impedance Z_0 is determined only by the inductance. This indicates that the circuit functions as a loss-less active inductor.

Fig. 1 shows a structure of an active inductor according to a first preferred embodiment of the present invention. A drain electrode D of a gate-grounded FET 11 and a gate electrode G of a source-grounded FET 12 are cascade-connected to each other, and a drain-grounded FET 13 is connected that provides one-way feedback from a drain electrode D of FET 12 to a source electrode S of FET 11. Here, the drain electrode D and a source electrode S of FET 12 serve as terminals 1 and 2 of the inductor. In the

drawing, a capacitor for blocking dc voltage is represented by C.

In this structure, impedance Z_0 viewed from the terminals 1 and 2 toward FET 12 will be obtained. Suppose, for the simplicity of analysis, that the characteristics of FETs 11, 12 and 13 are electrically identical, and that the impedance is determined only by the depletion layer capacitances C_{gs1} , C_{gs2} and C_{gsf} between the gate and source just beneath the gate and transconductances g_{m1} , g_{m2} and g_{mf} , the impedance Z_0 is given as follows:

$$Z_0 = \frac{1}{1 - \left(\frac{f}{f_T}\right)^2} \frac{g_{m1}^2}{(K+1) j\omega C_{gs1}} \quad \dots (4)$$

The ratio of the gate width of FET 11 to that of FET 13 is assumed as k to 1, and the cut-off frequency f_T of FET is given as $f_T = g_{m1}/(2\pi C_{gs1}) = g_{m2}/(2\pi C_{gs2}) = g_{mf}/(2\pi C_{gsf})$. As shown in Fig. 6(a), an equivalent circuit is approximately equivalent to a circuit of an inductor 21 having an inductance value of $(k+1)C_{gs1}/g_{m1}^2$, and the inductance component alone is present up to the frequency f_T . Therefore, the circuit functions as a loss-less active inductor.

Fig. 2 shows a structure of an active inductor according to a second preferred embodiment of the present invention. A source electrode S of a drain-grounded FET 13 and a source electrode S of a gate-grounded FET 11 are cascade-connected to each other, and a source-grounded FET 12 is connected that provides one-way feedback from a drain electrode D of FET 11 to a gate electrode G of FET 13. The drain electrode D and a gate electrode G of FET 11 serve as terminals 1 and 2 of the inductor. In the drawing, a capacitor for blocking dc voltage is represented by C.

In this structure, impedance Z_0 viewed from the terminals 1 and 2 toward FET 11 will be obtained. Suppose, for the simplicity of analysis, that the characteristics of

FETs 13, 11 and 12 are electrically identical, and that the impedance is determined only by the depletion layer capacitances C_{gs1} , C_{gs2} and C_{gsf} between the gate and source just beneath the gate and transconductances gm_1 , gm_2 and gm_f , the impedance Z_0 is given as follows:

$$Z_0 = \frac{1}{\left[1 - \left(\frac{f}{f_T}\right)^2\right] \frac{gm_1 gm_f}{j\omega C_{gs1}}} \quad \dots (5)$$

Here, the cut-off frequency f_T of FET is given as follows:

$$f_T = gm_1/(2\pi C_{gs1}) = gm_2/(2\pi C_{gs2}) = gm_f/(2\pi C_{gsf})$$

As shown in Fig. 7(a), an equivalent circuit is approximately equivalent to a circuit of an inductor 22 having an inductance value of $C_{gs1}/(gm_1 gm_f)$, and the inductance component alone is present up to the frequency f_T . Therefore, the circuit functions as a loss-less active inductor.

Fig. 3 shows a structure of an active inductor according to a third embodiment of the present invention. In the structure, a cascode-connection of a source-grounded FET 12 and a gate-grounded FET 11 provides one-way feedback from a source electrode S to a gate electrode G of a drain-grounded FET 13. Here, the source electrode S and a drain electrode D of FET 13 are used as terminals 1 and 2 of the inductor. In the drawing, a capacitor for blocking dc voltage is represented by C.

In this structure, impedance Z_0 viewed from the terminals 1 and 2 toward FET 13 will be obtained. Suppose, for the simplicity of analysis, that the characteristics of FETs 13, 12 and 11 are electrically identical, and that the impedance is determined only by the depletion layer capacitances C_{gs1} , C_{gsf} and C_{gsa} between the gate and source just beneath the gate and transconductances gm_1 , gm_f and gm_a , the impedance Z_0 is expressed as in the equation (5).

Therefore, an equivalent circuit is also the same as that in the second embodiment. More specifically, as shown in Fig. 7(a), the equivalent circuit is approximately equivalent to a circuit of an inductor 22 having an inductance value of $C_{gs1}/(g_{m1}g_{m_f})$, and the inductance component alone is present up to the frequency f_T .

5 Therefore, the circuit functions as a loss-less active inductor.

Fig. 4 shows a structure of an active inductor according to a fourth embodiment of the present invention. In the structure, a cascode connection of a gate-grounded FETs 11 and 14 provides one-way feedback from a drain electrode D to a gate electrode G of a source-grounded FET 12. Here, the drain electrode D and a source electrode S of FET 12 serve as terminals 1 and 2 of the inductor. In the drawing, a capacitor for blocking dc voltage is represented by C.

In this structure, impedance Z_0 viewed from the terminals 1 and 2 toward FET 12 will be obtained. Suppose, for the simplicity of analysis, that the characteristics of FETs 12, 11 and 14 are electrically identical, and that the impedance is determined only by the depletion layer capacitances C_{gs1} , C_{gs_f} and C_{gs_a} between the gate and source just beneath the gate and transconductances g_{m1} , g_{m_f} and g_{m_a} , the impedance Z_0 is expressed as in the equation (5).

Therefore, an equivalent circuit is also the same as those in the second and third embodiments. More specifically, as shown in Fig. 7(a), the equivalent circuit is approximately equivalent to a circuit of the inductor 22 having an inductance value of $C_{gs1}/(g_{m1}g_{m_f})$, and the inductance component alone is present up to the frequency f_T . Therefore, the circuit functions as a loss-less active inductor.

Fig. 5 shows a structure of an active inductor according to a fifth embodiment of the present invention. In the present embodiment, capacitors having capacitances C_1 , C_2 and C_3 , respectively, are connected between the source electrode S and a gate

electrode G of FET 11, between the source electrode S and the gate electrode G of FET 12, and between the source electrode S and the gate electrode G of FET 13, respectively, in the structure of the first embodiment.

Accordingly, the capacitance C_{gs1} is replaced by $(C_1 + C_{gs1})$ in the impedance Z_0 expressed by the equation (4). Compared to the first embodiment, the cut-off frequency f_T is decreased, whereas the capacitance C_{gs} is increased equivalently, which enables to achieve larger inductance value than in the structure of the first embodiment. The same can be said in the second to fourth embodiments, in which the inductance value can be increased by connecting a capacitor between the source electrode S and the gate electrode G of each FET.

Since an actual FET cannot be expressed only by the depletion layer capacitance C_{gs} and the transconductance g_m , it is inevitable that frequencies cause loss to some extent. Further, negative resistance occurs at some frequencies. In that case, a resistor may be connected between the terminals 1 and 2 to cancel out the negative resistance component in order to cause the inductor to operate as a loss-less inductor.

Furthermore, the transconductance g_m is varied by varying voltage at a voltage applying point to the gate of FET, so that a voltage-adjusting type active inductor can be realized.